

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000091451 A**

(43) Date of publication of application: **31.03.00**

(51) Int. Cl. **H01L 21/8247**  
**H01L 29/788**  
**H01L 29/792**  
**H01L 27/115**  
**H01L 27/10**  
**H01L 29/66**

(21) Application number: **10261400**

(22) Date of filing: **16.09.98**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **TANAMOTO TETSUSHI**  
**FUJITA SHINOBU**  
**KUROBE ATSUSHI**

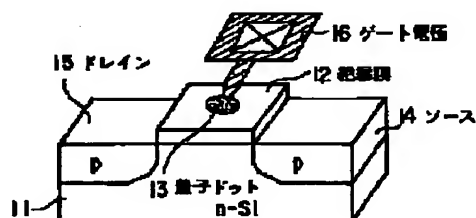
(54) **SEMICONDUCTOR ELEMENT**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To improve stable operation and reliability accurately measuring fine electric charges in a quantum dot of a single electronic element, and to suppress variance among elements.

SOLUTION: This semiconductor element for actualizing the single electronic element is equipped with a source 14 and a drain 15 formed separately in the top surface layer of an n-Si substrate 11, a single quantum dot 13 of 0.1  $\mu\text{m}$  in size formed of poly-Si in the channel region between the source 14 and the drain 15, and a gate electrode 16 which is electrically connected to the quantum dot 13 so that the junction capacitance with the quantum dot 13 is 10-10F or smaller and is arranged at a position other than that above the channel region.



(19) 日本国特許庁 (J P)

## (12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-91451

(P2000-91451A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)	
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1	5 F 0 0 1
29/788		27/10	4 5 1	5 F 0 8 3
29/792		29/66		
27/115		27/10	4 3 4	
27/10	4 5 1			

審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平10-261400

(22) 出願日 平成10年9月16日 (1998.9.16)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 棚本 哲史

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 藤田 忍

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

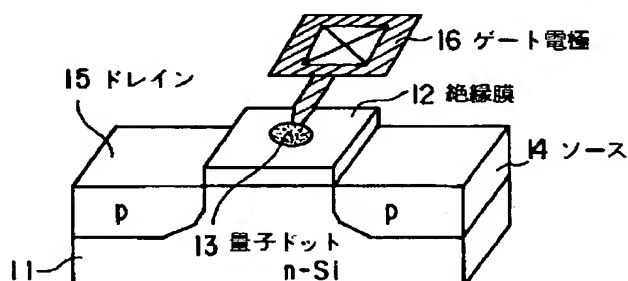
最終頁に続く

## (54) 【発明の名称】 半導体素子

## (57) 【要約】

【課題】 単一電子素子における量子ドット内の微小電荷を正確に測定することができ、かつ素子間のばらつきを抑制することができ、安定動作及び信頼性の向上をはかる。

【解決手段】 単一電子素子を実現するための半導体素子において、 $n-Si$  基板11の表面層に離間して形成されたソース・ドレイン14、15と、ソース・ドレイン14、15間のチャネル領域上にゲート酸化膜12を介して形成された、ポリ $Si$ からなる $0.1\mu m$ 以下の大きさを持つ1つの量子ドット13と、この量子ドット13に該量子ドット13との接合容量が $10^{-10}F$ 以下となるように電気的に接続され、かつチャネル領域の上部を除く位置に配置されたゲート電極16とを備えた。



**【特許請求の範囲】**

【請求項1】 基板に所定距離だけ離間して形成されたソース・ドレインと、前記ソース・ドレイン間のチャネル領域上に第1の絶縁膜を介して形成された、導電体からなる $0.1\mu\text{m}$ 以下の大きさを持つ少なくとも1つの微細構造体と、この微細構造体に該構造体との接合容量が $10^{-10}\text{F}$ 以下となるように電氣的に接続され、かつ前記チャネル領域の上部を除く位置に配置された第1のゲート電極とを具備してなることを特徴とする半導体素子。

【請求項2】 前記微細構造体が形成された第1の絶縁膜上に前記チャネル領域上を覆うように、第2の絶縁膜を介して導電体からなる第2のゲート電極が形成されていることを特徴とする請求項1記載の半導体素子。

【請求項3】 前記微細構造体と第1のゲート電極を接続するための接続部分上に、該接続部分と共にトランジスタを形成する第3のゲート電極が形成されていることを特徴とする請求項1記載の半導体素子。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、単一電子の注入、排出によりデータの記憶等を行う単一電子素子型の半導体素子に係わり、特にゲート電極構造の改良をはかった半導体素子に関する。

**【0002】**

【従来の技術】 単一電子素子は、電子一つ一つを制御するものであり、低消費電力、超微細素子として注目されている。電子一つ一つの制御と云うことから通常のMOSと比べると、その動作電圧は数 $\text{meV}$ 程度と低く、数 $\text{V}$ で機能する従来回路につなぐには余計な増幅回路が必要であった。

【0003】 増幅回路等を用いて単一電子素子を直接従来回路につなぐ代わりに、電荷の蓄積される微細構造、いわゆる量子ドットに電氣的に接続しない電流ラインを別に設け、量子ドットに存在する電荷の有無がこの電流ラインを流れる電流に変化を与えるという作用を利用することが考えられる（文献1：C.G.Smith et al.: Surface Science 305, p553(1994), M.Field et al.: Semicond. Sci. Technol. Vol. 11, p1498(1996)）。

【0004】 このような提案は最初GaAs/AlGaAsの二次元系でなされていたが、この考えをシリコン系に適用した提案がなされている（文献2：TiwareらによるAppl. Phys. Lett. Vol. 68, p1378(1996)、文献3：1998年春季第45回応用物理学関連連合講演会予稿集 No. 1, p189, “単電子トランジスタとMOSFETを組み合わせたSiメモリデバイス”；高橋康夫他5名, NTT基礎研究所）。

【0005】 文献2では、図9(a)に示すように、Si基板81の表面層に形成されたソース・ドレイン84, 85間のチャネル領域上に絶縁膜82を介して微小

な量子ドット83が形成され、その上に絶縁膜86を介してゲート電極87が形成されている。そして、ゲート電極87に印加する電圧により、図中の矢印88に示すように量子ドット83内に電子を注入又は量子ドット83内から電子を排出することができ、量子ドット83内の電子の注入状態によりMOSFETのしきい値が変化することを利用してメモリ素子として用いることができる。

【0006】 しかし、図9(a)に示す素子では、ゲート電極87への電圧印加による電界が図中の矢印89で示されるように量子ドット83以外の部分のチャネル領域に加わるため、量子ドット83内の電荷に影響を与え、正確な測定が不可能になってしまう。

【0007】 文献3では、従来の単一電子素子と一次元MOSFETを結合したデバイスを作成し実験を行っている。図9(b)はこの従来素子を示したものである。この構造は、電荷を蓄積するメモリ部分であるメモリア일랜드91とこのメモリア일랜드91に電荷を出し入れする一次元MOSFET92、そしてメモリア일랜드91の電荷の量を独立して検知するソース・ドレイン電極に直接つながったSETアイランド93からなる。なお、図中の94は一次元MOSFET92の制御ゲート、95, 96はSETアイランド93を構成するソース・ドレインを示している。

【0008】 この素子の機能は、基本的にはフラッシュメモリ型に属する。特に、文献3の素子は文献2の素子の改良型で、図9(a)のメモリ素子では電子の蓄積に関してトンネル酸化膜を電子が通過することを使うために素子速度に限界があった点を改善したものであり、図9(b)の素子は(a)の素子の動作速度の限界を克服するものとして注目されている。

【0009】 しかし、文献3の素子においては、素子作成上に以下の重要な問題が指摘されていた。即ち、均一に作成することが難しいとされる微細構造を2つ（メモリア일랜드91とSETアイランド93）必要としていることである。特に、電流センスラインにSET動作を利用している点は、多数の素子を同じ基板上に作成した場合のその電流電圧を全ての素子で均一に作成するという観点から見れば極めて困難である。

【0010】 さらに、電流検知感度に重要なメモリア일랜드91とSETアイランド93を同じ平面内に数十 $\text{nm}$ 以下のオーダーで作成する必要があるために、やはり回路内で多数の同型の素子を作成した場合には電流特性上のばらつきができてしまう。つまり、均一な作成が困難な構造を2つも含んでいるため、素子間のばらつきを避けられず、実際の集積回路に利用するには不安定な動作が懸念されると云う大きな問題があった。

**【0011】**

【発明が解決しようとする課題】 このように従来、単一電子素子の例として文献2, 3が知られているが、文献

2の素子では、量子ドット内の微小電荷を正確に測定することが困難であった。また、文献3の素子では、均一な作成が困難な構造を2つも含んでおり、素子間のばらつきを避けられないため、実際の集積回路に利用するには不安定な動作が懸念されると云う問題があった。

【0012】本発明は、上記事情を考慮して成されたもので、その目的とするところは、単一電子素子における量子ドット内の微小電荷を正確に測定することができ、かつ素子間のばらつきを抑制することができ、安定動作及び信頼性の向上をはかり得る半導体素子を提供することにある。

#### 【0013】

【課題を解決するための手段】（構成）上記課題を解決するために本発明は次のような構成を採用している。即ち本発明は、単一電子素子を実現するための半導体素子において、基板に所定距離だけ離間して形成されたソース・ドレインと、前記ソース・ドレイン間のチャネル領域上に第1の絶縁膜を介して形成された、導電体からなる $0.1\mu\text{m}$ 以下の大きさを持つ少なくとも1つの微細構造体と、この微細構造体に該構造体との接合容量が $10^{-10}\text{F}$ 以下となるように電気的に接続され、かつ前記チャネル領域の上部を除く位置に配置された第1のゲート電極とを具備してなることを特徴とする。

【0014】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

- (1) 微細構造体を形成した第1の絶縁膜上にチャネル領域上を覆うように、第2の絶縁膜を介して導電体からなる第2のゲート電極が形成されること。
- (2) 微細構造体と第1のゲート電極を接続するための接続部分上に、該接続部分と共にトランジスタを形成する第3のゲート電極が形成されること。
- (3) 微細構造体は、量子ドットであること。
- (4) 量子ドットを複数個設けること。
- (5) 微細構造体若しくはゲート電極の少なくとも一方を、金属シリサイドで形成すること。
- (6) 量子ドット等の微細構造体にゲート電極を電気的に接続する部分に、くびれ等の狭窄構造を有すること。

【0015】（作用）本発明においては、電荷の蓄積部分である微細構造体（量子ドット）の上方に電子注入のためのゲート電極を形成するのではなく、チャネル領域の上部を除く位置に配置された電子注入のためのゲート電極に、量子ドットが狭窄部分を隔てて直接電気的に接続される。このとき、ゲート電極の先端に接続された量子ドットはゲート電極と異なる材質でも構わない。この量子ドットにはゲート電極より電子が注入されるが、電子同士のいわゆるクーロンブロッケイド効果のため、量子ドットに入る電子の数は制限される。

【0016】量子ドット内の電荷の有無はMOS構造により検知される。ゲート電極から絶縁膜を介して設けられたMOS構造とソース・ドレインは量子ドット内の電

荷分布をセンスする機能を果たす。この際、通常のMOSFETとは異なり、ゲート電極がソースとドレインから離れているために、絶縁膜の下全体が反転層とはならず、電子の多い部分が量子ドットの下及びソース・ドレインの近くに限られる。従って、電子はトンネリング的にゲート絶縁膜下を通過することになり、電子がゲート電極に接続された量子ドットに存在するかどうか極めて敏感に反応することになる。

【0017】これは、文献2の素子（図9（a））では実現不可能な機能である。というのは、量子ドット内にある微小電荷を検知する際、文献3の素子ではゲート電極にかけた電圧が図9（a）で示されるように量子ドット以外の部分のチャネルを開いてしまうため、量子ドット内の電荷に影響を与え、正確な測定が不可能になってしまう。これに対して本発明では、量子ドット内の電荷について非破壊測定が可能となっている。

【0018】以上のように、本発明においてはまず、微細化の求められる量子ドット構造である電荷蓄積部分は一つの平面内に一つ作成すればよいのであり、作成過程においては従来に比べて遙かに簡便なものとなっている。さらに、量子ドット構造内の電荷の有無を検知する電流ラインが非破壊測定可能な極めて制御性の良いMOS構造を利用して設定されているために、従来大きな問題となっていたその相対的な距離はこれまでに確立されたMOS作成技術で十分制御することが可能となる。

【0019】このことは、素子作成プロセス上において、ゲート酸化膜を作成するまでのプロセス及び量子ドット構造を作成した後のプロセスは通常のMOS作成プロセスと全く同じであるために、生産ラインで使用するガラスマスクの数、従って生産工程数が大幅に短縮され、生産上のコストなど大きな削減の結びつくことが可能となる。

【0020】なお本発明において、微細構造体（量子ドット）の大きさ、微細構造体とゲート電極との接合容量の大きさを規定したのは、次の理由による。即ち、前記図9（b）に示すようなMOS構造においては、

$$Q^2 / 2C \leq k_B T$$

$$Q = ne \quad (n=1, 2, 3, \dots)$$

を満たさないと室温で単一電子動作が認められないと云われている。但し、Cは接合容量、kはボルツマン定数、Tは絶対温度（ $T=300\text{K}$ ）、eは単位電荷を示している。

【0021】上式を満たすためには、Cが十分小さく $10^{-10}\text{F}$ 以下、望ましくは $10^{-15}\text{F}$ 以下が適当である。そして、量子ドットの大きさが $0.1\mu\text{m}$ 以下、望ましくは $0.05\mu\text{m}$ 以下であれば、上記の条件が満たされて単一電子効果が現れる。この値は、MOS構造の単一電子素子においては周知の事実であり、実験的にも確かめられている。

#### 【0022】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

(第1の実施形態) 図1は、本発明の第1の実施形態に係わる単一電子素子型メモリ素子の概略構造を示す斜視図である。

【0023】 $n$ -Si基板11の表面層に $p$ 型拡散層からなるソース・ドレイン14, 15が $0.1\mu\text{m}$ 程度離間して形成され、ソース・ドレイン14, 15間のチャネル領域上にはゲート酸化膜(絶縁膜)12を介して量子ドット13が形成されている。この量子ドット13は、ポリSiからなり、チャネル領域の側部に設けられたゲート電極16に電気的に接続されている。ゲート電極16の先端部における量子ドット13との接続部には、狭窄構造としてのくびれが設けられている。このくびれは、絶縁膜ほどではないが一種のバリアとして機能するものである。

【0024】次に、上記素子の製造方法について説明する。まず、 $n$ -Si基板11に素子領域を、LOCOS法若しくはSTI法により形成する。次いで、ゲート酸化を行い、量子ドット13を形成するための酸化膜12を、レジストを用いてパターンニングする。このとき、最終的なソース量子ドット13、量子ドット13とドレインの間が両方とも $0.1\mu\text{m}$ 以下になることが望ましい。

【0025】次いで、レジストを残したままイオンインプラネーションを行い、ソース14及びドレイン15を形成する。次いで、ポリSiをLPCVD法等により堆積した後、量子ドット13とゲート電極16をEB(電子ビーム描画装置)等を用いてパターンニングする。なお、この量子ドット構造の作成には、ポリSiなどの大きな表面マイグレーションを有する元素を堆積した後、加熱処理することによって塊状化させても良い。この際、FIB等を使って加速された粒子を量子ドットを作成する部分に打ち込み、ダメージを入れるようにしても良い。

【0026】また、量子ドット13にAl等の金属を使う場合は、スパッタ法による堆積の初期にできる金属微粒子を使っても良い。このとき、表面を薄く酸化して、量子ドット表面に数nm程度の薄い酸化膜を形成することができ、この酸化膜をバリアとして用いることによって、メモリとしての動作速度の調整を行うことができる。

【0027】次いで、図には示さないが、全面に層間絶縁膜を形成した後にコンタクトホールを開け、電極部分を外部電極と接続することによって、単一電子素子型のメモリ素子が完成する。

【0028】このように構成された本装置においては、電荷の蓄積部分である量子ドット13がチャネル領域の側部上に配置された電子注入のためのゲート電極16にくびれ部分を介して直接電気的に接続される。この量子

ドット13にはゲート電極16より電子が注入されるが、電子同士のいわゆるクーロンブロッケイド効果のため、量子ドット13に入る電子の数は制限される。

【0029】量子ドット13内の電荷の有無は、MOS構造とソース・ドレインによって検知される。即ち、量子ドット13内の電荷の量によりMOSFETとしてのしきい値が変わるため、このしきい値を検出することにより電荷の有無を検知することができる。ここで、通常のMOSFETとは異なり、ゲート電極16がソースとドレインから離れているために、絶縁膜12の下全体が反転層とはならず、電子の多い部分が量子ドット13及びソース・ドレインの近くに限られる。従って、電子はトンネリング的にゲート絶縁膜下を通過することになり、電子がゲート電極16に接続された量子ドット13に存在するかどうか極めて敏感に反応することになる。

【0030】本実施形態においては、エンハンスメント型においては量子ドット内の電荷の有無により小さな反転層又は弱反転層の形成が、またディプリーション型においては量子ドット内に電荷が注入されることにより空乏化することにより、チャネル層を流れる電流値の変化、しきい値のシフトが観測できる。

【0031】本実施形態におけるエンハンスメント型素子の動作の様子を、図2(a)に示す。また、同素子における電流電圧特性を図3に示す。電子がゲート電極16から量子ドット13に注入された場合、量子ドット13内の電荷が基板11内の極性の反対の電荷を引きつけるため、量子ドット13の下は電子の多い部分18となり、ソース14からドレイン15への電流が流れやすくなる。

【0032】このとき、電流値の変化で量子ドット13内の電荷の有無が分かると同時に、ソース・ドレイン間の電圧を固定した場合は電流が流れ始めるしきい値電圧の変化によっても検知することができる。また、量子ドット13下の状態が完全に反転しない状態、いわゆるサブスレッショルド領域でも使用することができる。

【0033】図2(b)に示すディプリーション型素子の場合、量子ドット13内に電荷が存在するMOSチャネル内の同極性の電荷によって形成されたチャネルが空乏化する(電子の少ない部分19となる)ことにより、電荷の有無が判定される。これは、いわゆる短チャネル効果が効く領域を積極的に利用してメモリ素子が作成可能なことを示している。

【0034】図4は本実施形態の変形例を示す図であり、量子ドット13は必ずしも1個に限るものではなく、2つ或いはそれ以上つなげることも可能である。この場合、蓄積できる電子の量を増やすことができる。さらに、量子ドット13内からゲート電極16への電荷の散逸を減らすこともできる。

【0035】また、量子ドット13及びゲート電極16

は、低抵抗化をはかるためにシリサイドで形成しても良い。シリサイドの形成においては、例えば厚さ20nmのポリSiをLPCVD法により堆積した後に、Ti20nmをEB蒸着法により形成する。ここで、750℃、30秒のRTAを行いシリサイド化する。次いで、硫酸と過酸化水素水によりポリSiでパターンニングした構造のみを残す。さらに、800℃、30秒の2段のアニールをすることにより、C49相からC54相への相転位を起こさせてTiシリサイドの低抵抗膜を形成する。

【0036】この場合、より薄い膜で低抵抗の電流特性を実現でき、信頼性の向上も可能となる。また、量子ドット13及びゲート電極16の両方をシリサイドで形成するのみならず、これらの一方のみをシリサイドで形成するようにしても良い。

【0037】このように本実施形態では、量子ドットを用いたMOS構造で単一電子素子を実現することができる。そしてこの場合、微細化の求められる量子ドット構造である電荷蓄積部分は一つの平面内に一つ作成すればよいのであり、作成過程においては従来に比べて遙かに簡便なものとなる。さらに、量子ドット構造内の電荷の有無を検知する電流ラインが非破壊測定可能な極めて制御性の良いMOS構造を利用して設定されているために、従来大きな問題となっていたその相対的な距離はこれまでに確立されたMOS作成技術で十分制御することが可能となる。また、生産ラインで使用するガラスマスクの数、従って生産工程数が大幅に短縮され、生産上のコストなど大きな削減に結び付けることが可能となる。

【0038】(第2の実施形態)図5は、本発明の第2の実施形態に係わる単一電子素子型メモリ素子の概略構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0039】本実施形態は、先に説明した第1の実施形態の構造に加え、量子ドット13を形成した絶縁膜(第1の絶縁膜)12上に、更に絶縁膜(第2の絶縁膜)21を介して上部ゲート電極(第2のゲート電極)22を形成したものである。

【0040】製造方法としては、第1の実施形態と同様にして量子ドット13を形成した後に、CVD法によりSiO<sub>2</sub>酸化膜21を堆積し、その上に第2のゲート電極22として、ポリSiをLPCVD法により堆積し、パターンニングする。そして、第1の実施形態と同様に、全面に層間絶縁膜を形成した後、必要なコンタクトホールを開け、電極部分を外部電極と接続することによって単一電子素子型のメモリ素子が完成する。

【0041】本実施形態においては、上段ゲート22と量子ドット13、量子ドット13とMOSチャネル、量子ドット13とゲート電極16の間の抵抗を、図6に示すようにそれぞれR1、R2、R3としたとき、R1、R2>R3の関係を満たすようにしている。このとき、

上段ゲート22は厳密に真上である必要はなく、量子ドット13から離れた斜め上でも構わない。

【0042】本実施形態における上段ゲート22に電圧を印加すると、量子ドット13に接続したゲート電極16とは独立にチャネル層の電界分布を変化させることができるために、ソース・ドレイン間の電流量、しきい値電圧を調整することが可能になる。従って、第1の実施形態と同様の効果が得られるのは勿論のこと、素子の応用範囲を格段に広めることができる。なお、この上段ゲート22はエンハンスメント型、ディプリーション型両方に適用することが可能である。

【0043】(第3の実施形態)図7は、本発明の第3の実施形態に係わる単一電子素子型メモリ素子の概略構成を示す斜視図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0044】本実施形態においては、第1の実施形態の量子ドット13と第1のゲート電極16を作成した後に、酸化膜12下の全体的なバンド構造を制御する補助ゲート(第3のゲート電極)32を、ゲート電極16とは自然酸化膜などにより隔てて作成したものである。

【0045】このような構成であれば、第1の実施形態と同様の効果が得られるのは勿論のこと、補助ゲート32に電圧を印加することにより、ゲート電極16から量子ドット13に注入される電子をより確実に制御することができる。

【0046】(第4の実施形態)図8(a)(b)は、本発明の第4の実施形態に係わる単一電子素子型メモリ素子の概略構成を示す断面図である。本実施形態は、ヘテロ接合を利用したものである。

【0047】図8(a)はGaAs/AlGaAs界面の二次元電子層40を、図8(b)はSi/SiGe界面に生じる二次元電子層50をゲート電極に接続された量子ドットによって制御するもので、ディプリーション型素子の例となる。

【0048】図8(a)については、GaAs基板41上に3nmの厚さのAlGaAs層42をMBE装置などを用いて堆積させ、Ti/Au等の金属材料を用いて、2つの量子ドット43と接続したゲート電極(図示せず)をパターンニングする。ソース・ドレイン44、45は、AuにGeやNiを混ぜた状態でパターンニングした後、熱拡散などにより形成する。ここで、ソース・ドレインの形成にあたり、AuにGeやNiを混ぜたパターンニングを行う前に、GaAs層を形成しておいてもよい。

【0049】図8(b)については、Si基板51上に厚さ3nmのSiGe層52をガスソースMBE装置を用いて堆積させ、さらにAlなどの金属、若しくはポリSi等を用いてゲート電極(図示せず)と接続された2つの量子ドット53を作成する。ソース・ドレイン54、55は、イオンインプランテーションにより形成す

る。

【0050】（変形例）なお、本発明は上述した各実施形態に限定されるものではない。第1～第3の実施形態ではn型Si基板を用いたが、p型Si基板を用いたn-MOS構造を用いてもよい。さらに、p型SOI基板を用いても構わない。また、チャネル領域に基板と同型（上記ではn型）のドーピング、又は異なった型（p型）のドーピングをすることも可能である。さらに、LDD構造として利用することも可能である。さらに、基板の下側にバックゲートを用いても構わない。バックゲートは特にSOI基板においては反転層に与える効果が大きい。

【0051】また、実施形態では量子ドットとしてポリSi、Al、Tiシリサイドを用いたが、Co等のシリサイド又はFe、Co、Ni、PtCo等の磁性体及びその化合物でも構わない。さらに、量子ドットの大きさは仕様に応じて適宜変更可能である。また、量子ドットに電氣的に接続されるゲート電極としても、上記量子ドットと同じ材料を用いることが可能である。

【0052】また、実施形態ではメモリ素子の例を説明しているが、単一電子の注入・排出を利用するものであれば、メモリ素子に限らず各種の単一電子素子に適用可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

#### 【0053】

【発明の効果】以上詳述したように本発明によれば、量子ドット等の微細構造体を持つMOS構造の単一電子素子を実現するための半導体素子において、微細構造体に電氣的に接続されるゲート電極をチャネル領域上を除く位置に設けることにより、単一電子素子における微細構造体内の微小電荷を正確に測定することができ、かつ素子間のばらつきを抑制することができ、安定動作及び信頼性の向上をはかることが可能となる。

#### 【図面の簡単な説明】

【図1】第1の実施形態に係わる単一電子素子型メモリ素子の概略構成を示す斜視図。

【図2】第1の実施形態におけるエンハンスメント型素子及びディプリーション型素子の動作の様子を示す図。

【図3】量子ドットの有無によるソース・ドレイン間の電流－電圧特性を示す図。

【図4】第1の実施形態において量子ドット構造を2つにした例を示す図。

【図5】第2の実施形態に係わる単一電子素子型メモリ素子の概略構成を示す断面図。

【図6】量子ドットと2つのゲート及びチャネルのそれぞれの間の抵抗を示す図。

【図7】第3の実施形態に係わる単一電子素子型メモリ素子の概略構成を示す斜視図。

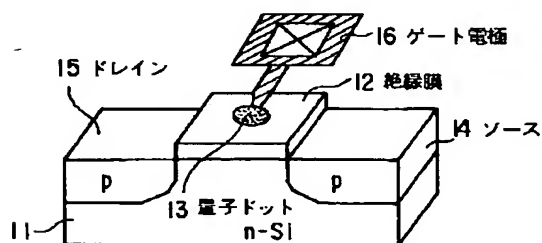
【図8】第4の実施形態に係わる単一電子素子型メモリ素子の概略構成を示す断面図。

【図9】従来例及びその問題点を説明するための図。

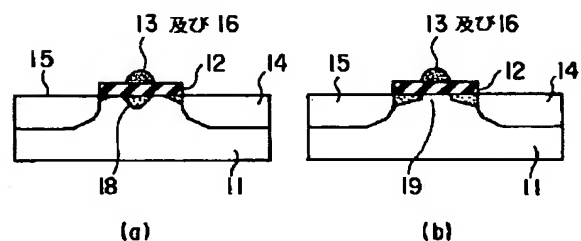
#### 【符号の説明】

- 11, 51…n-Si基板
- 12…ゲート酸化膜（第1のゲート絶縁膜）
- 13, 43, 53…量子ドット（微細構造体）
- 14, 44, 54…ソース電極
- 15, 45, 55…ドレイン電極
- 16…ゲート電極
- 21…SiO<sub>2</sub>膜（第2のゲート絶縁膜）
- 22…上段ゲート（第2のゲート電極）
- 32…補助ゲート（第3のゲート電極）
- 40, 50…二次元電子層
- 41…GaAs基板
- 42…AlGaAs層
- 52…SiGe層

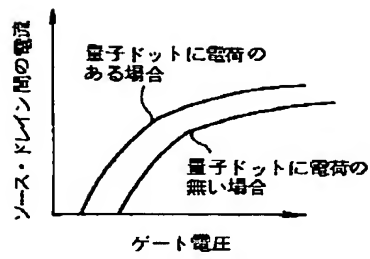
【図1】



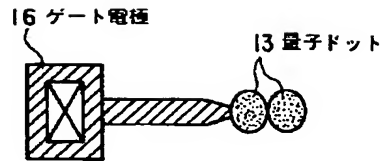
【図2】



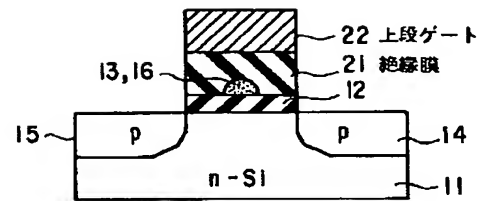
【図3】



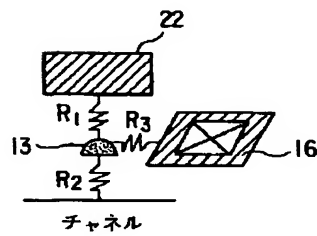
【図4】



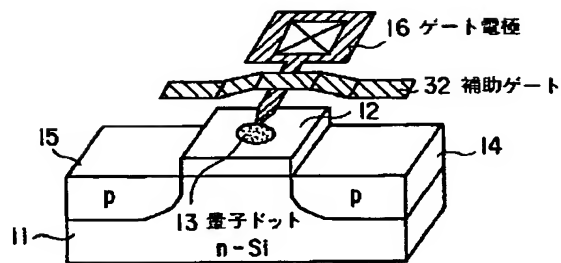
【図5】



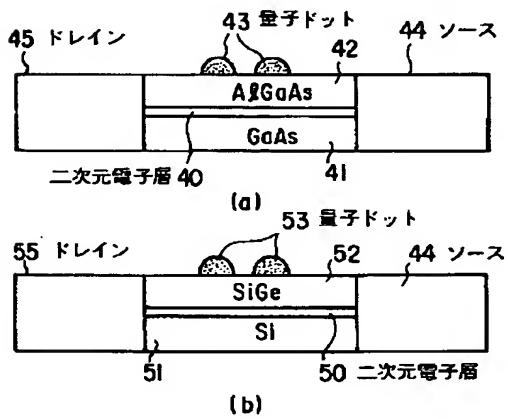
【図6】



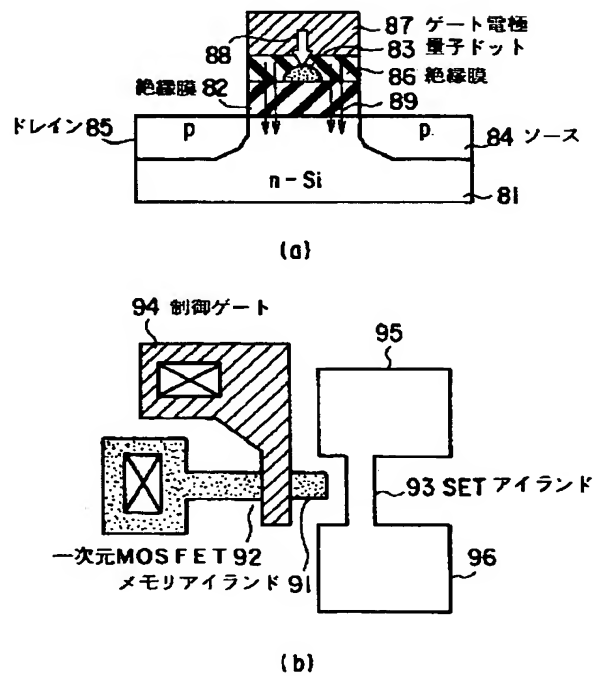
【図7】



【図8】



【図9】





フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H O 1 L 29/66

(72) 発明者 黒部 篤

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

F ターム (参考)

5F001 AA10 AB02 AD12 AD20 AE02  
AE03 AG02 AG21 AG30  
5F083 FZ01 GA11 GA30 JA02 JA32  
JA35 NA01 NA02 PR12 PR21  
PR33 PR36